

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102600

(43)Date of publication of application : 13.04.1999

(51)Int.Cl. G11C 29/00  
 G01R 31/28  
 G01R 31/30  
 G11C 11/22  
 G11C 14/00  
 G11C 11/401  
 H01L 21/66  
 H01L 27/10

(21)Application number : 09-264409

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.09.1997

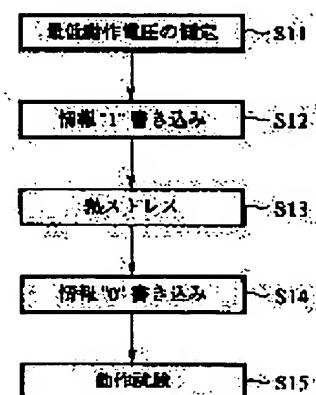
(72)Inventor : TAMURA TETSURO

## (54) TEST METHOD OF FERROELECTRIC MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a test method of an ferroelectric memory with a ferroelectric capacitor that can judge the quality of data-retaining characteristics without especially giving excessive stress to the ferroelectric memory.

SOLUTION: In the method, the minimum operating voltage being required for reading storage information is measured (S11), first storage information is written (S12), and a specified thermal stress is applied in the state where the first storage information has been written (S13). A test for reading storage information is performed by a test voltage that has an absolute value being at least the minimum operating voltage and exists within a specific range for the minimum operating voltage (S14 and S15).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
 examiner's decision of rejection or application  
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
 rejection]

[Date of requesting appeal against examiner's decision  
 of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-102600

(43)公開日 平成11年(1999) 4月13日

(51)Int.Cl.<sup>5</sup>

識別記号

F I

G 1 1 C 29/00

6 7 1

G 1 1 C 29/00

6 7 1 F

G 0 1 R 31/28

G 0 1 R 31/30

31/30

G 1 1 C 11/22

G 1 1 C 11/22

H 0 1 L 21/66

W

14/00

27/10

4 5 1

審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に続く

(21)出願番号

特願平9-264409

(22)出願日

平成9年(1997) 9月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 田村 哲朗

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 北野 好人

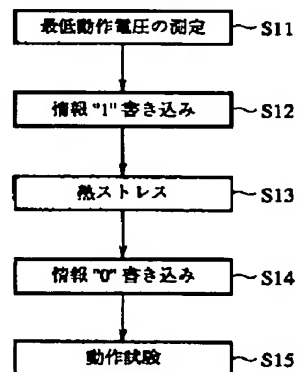
(54)【発明の名称】 強誘電体メモリの試験方法

(57)【要約】

【課題】 強誘電体キャパシタを有する強誘電体メモリの試験方法に関し、特に、強誘電体メモリに過度のストレスを与えることなくデータ保持特性の良否を判断する強誘電体メモリの試験方法を提供する。

【解決手段】 記憶情報を読み出すために必要な最低動作電圧を測定する最低動作電圧測定工程と、第1の記憶情報を書き込む第1の記憶情報書き込み工程と、第1の記憶情報を書き込んだ状態で所定の熱ストレスを加える熱ストレス工程と、絶対値が最低動作電圧以上であって、最低動作電圧に対して所定の範囲内にある試験電圧により記憶情報の読み出し試験を行う試験工程とにより強誘電体メモリの試験を行う。

本発明の第1実施形態による強誘電体メモリの試験方法を説明するフローチャート



## 【特許請求の範囲】

【請求項 1】 強誘電体キャパシタを有する強誘電体メモリの試験方法であって、記憶情報を読み出すために必要な最低動作電圧を測定する最低動作電圧測定工程と、第 1 の記憶情報を書き込む第 1 の記憶情報書き込み工程と、前記第 1 の記憶情報を書き込んだ状態で所定の熱ストレスを加える熱ストレス工程と、絶対値が前記最低動作電圧以上であって、前記最低動作電圧に対して所定の範囲内にある試験電圧により前記記憶情報の読み出し試験を行う試験工程とを有することを特徴とする強誘電体メモリの試験方法。

【請求項 2】 請求項 1 記載の強誘電体メモリの試験方法において、前記熱ストレス工程の後に、前記第 1 の記憶情報とは異なる第 2 の記憶情報を書き込む第 2 の記憶情報書き込み工程を更に有し、前記試験工程では、前記試験電圧により前記第 2 の記憶情報を読み出すことを特徴とする強誘電体メモリの試験方法。

【請求項 3】 請求項 1 又は 2 記載の強誘電体メモリの試験方法において、前記試験工程では、前記最低動作電圧と等しい前記試験電圧において読み出し試験を行うことを特徴とする強誘電体メモリの試験方法。

【請求項 4】 請求項 1 又は 2 記載の強誘電体メモリの試験方法において、前記試験工程では、前記最低動作電圧に、前記熱ストレスの条件から計算して必要とされる寿命を補償するために必要な電圧を加味した前記試験電圧により試験を行うことを特徴とする強誘電体メモリの試験方法。

【請求項 5】 請求項 1 又は 2 記載の強誘電体メモリの試験方法において、前記試験工程では、前記記憶情報の読み出し試験を行う代わりに前記熱ストレスを加えた後における前記記憶情報を読み出すための最低動作電圧を測定し、前記熱ストレスの前後における前記最低動作電圧の変化分から前記記憶情報の保持能力を見積もることを特徴とする強誘電体メモリの試験方法。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の強誘電体メモリの試験方法において、前記最低動作電圧測定工程では、前記記憶情報を判定するためのセンス回路の動作に必要なとされる最低電圧を測定することを特徴とする強誘電体メモリの試験方法。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の強誘電体メモリの試験方法において、前記試験工程では、前記強誘電体キャパシタに印加される電圧を前記試験電圧として前記記憶情報の読み出し試験を行うことを特徴とする強誘電体メモリの試験方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の強誘電体メモリの試験方法において、前記熱ストレス工程は、記憶情報が書き込まれた状態で加えられる最初の熱工程であることを特徴とする強誘電体メモリの試験方法。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の強誘電体メモリの試験方法において、前記熱ストレス工程は、強誘電体メモリの組立工程であることを特徴とする強誘電体メモリの試験方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強誘電体メモリの試験方法に係り、特に、強誘電体メモリのデータ保持特性を測定するための強誘電体メモリの試験方法に関する。

## 【0002】

【従来の技術】強誘電体メモリ（FRAM: Ferroelectric Random Access Memory）は、 $Pb(Zr, Ti)O_3$ などの強誘電体の分極反転とそのヒステリシス現象を利用した半導体記憶装置であり、高速性、大容量化、低電力化などの様々な要求に応えうる特性を保ちつつ不揮発性をも備えていることから、DRAM（Dynamic Random Access Memory）やハードディスクの代替、その他様々な応用が期待されている。

【0003】強誘電体メモリは、不揮発性メモリであることを第 1 の特徴としており、デバイスの信頼性試験においては、書き込んだデータをどれだけの時間保持することが可能であるかを測定する、いわゆるデータ保持特性の測定が行われている。強誘電体メモリの実使用状態等を考慮するとデータの保持特性としては例えば 10 年間のデータ保持時間を補償しなければならないため、信頼性試験においては、熱ストレスを加えるいわゆる加速試験を行うことによりデータ保持特性が見積もられている。

【0004】また、強誘電体メモリでは、ある情報を長期間保持しておくとき分極方向が固定して反転しにくくなる現象、いわゆるインプリントが生じることがある。このようなインプリント特性を評価するために、熱ストレスを加えた後に反転情報を書き込み、その情報を読み出し、反転情報を保持するための分極電荷量を評価している。

【0005】具体的には、リテンション特性の測定では、強誘電体メモリに所定の情報（例えば記憶情報“1”）を書き込み、次いで所定の熱ストレスを加え、その後情報を読み出し、熱ストレス前に書き込んだ情報が読み出せれば良品であると判断していた。また、インプリント特性の測定では、リテンション特性の測定の後、書き込まれている情報とは逆の情報（例えば記憶情報“0”）を書き込み、所定の時間をおいてからその情報を読み出し、書き込んだ情報が読み出せれば良品であ

ると判断していた。

#### 【0006】

【発明が解決しようとする課題】しかしながら、上記従来の強誘電体メモリの試験方法では、試験測定によって既に記憶情報を失っている強誘電体メモリをスクリーニングすることはできるが、試験測定の際には依然情報を保持しているが分極電荷の劣化の速度が速いために補償すべきデータ保持時間を満足することができない強誘電体メモリをスクリーニングすることはできなかった。

【0007】また、劣化の速度を求めればデータ保持時間を予測することも可能であるが、このためには従来の試験を複数回繰り返し行う必要があるため、製品試験によって過度のストレスを与えることとなり、良品として残った強誘電体メモリの寿命を短くしてしまうことがあった。本発明の目的は、強誘電体メモリに過度のストレスを与えることなくデータ保持特性の良否を判断しうる強誘電体メモリの試験方法を提供することにある。

#### 【0008】

【課題を解決するための手段】上記目的は、強誘電体キャパシタを有する強誘電体メモリの試験方法であって、記憶情報を読み出すために必要な最低動作電圧を測定する最低動作電圧測定工程と、第1の記憶情報を書き込む第1の記憶情報書き込み工程と、前記第1の記憶情報を書き込んだ状態で所定の熱ストレスを加える熱ストレス工程と、絶対値が前記最低動作電圧以上であって、前記最低動作電圧に対して所定の範囲内にある試験電圧により前記記憶情報の読み出し試験を行う試験工程とを有することを特徴とする強誘電体メモリの試験方法によって達成される。このようにして試験を行うことにより、強誘電体メモリの劣化速度を考慮しつつ信頼性の評価をすることができるので、試験測定の際には依然情報を保持しているが分極電荷の劣化の速度が速いために補償すべきデータ保持時間を満足することができない強誘電体メモリであっても容易にスクリーニングすることができる。

【0009】また、上記の強誘電体メモリの試験方法において、前記熱ストレス工程の後に、前記第1の記憶情報とは異なる第2の記憶情報を書き込む第2の記憶情報書き込み工程を更に有し、前記試験工程では、前記試験電圧により前記第2の記憶情報を読み出すことが望ましい。熱ストレスを加えた際の記憶情報とは異なる記憶情報の読み出し特性を評価すれば、インプリントによる強誘電体メモリの劣化をも評価することができる。

【0010】また、上記の強誘電体メモリの試験方法において、前記試験工程では、前記最低動作電圧と等しい前記試験電圧において読み出し試験を行うことが望ましい。また、上記の強誘電体メモリの試験方法において、前記試験工程では、前記最低動作電圧に、前記熱ストレスの条件から計算して必要とされる寿命を補償するために必要な電圧を加味した前記試験電圧により試験を行う

ことが望ましい。このように試験電圧を設定すれば、良品を効率よく選別することができる。

【0011】また、上記の強誘電体メモリの試験方法において、前記試験工程では、前記記憶情報の読み出し試験を行う代わりに前記熱ストレスを加えた後における前記記憶情報を読み出すための最低動作電圧を測定し、前記熱ストレスの前後における前記最低動作電圧の変化分から前記記憶情報の保持能力を見積もることが望ましい。このように試験することによっても効率よく良品を選別することができる。

【0012】また、上記の強誘電体メモリの試験方法において、前記最低動作電圧測定工程では、前記記憶情報を判定するためのセンス回路の動作に必要なとされる最低電圧を測定することが望ましい。センス回路の動作に必要なとされる電圧のみを変化することによっても試験測定を行うことができる。また、上記の強誘電体メモリの試験方法において、前記試験工程では、前記強誘電体キャパシタに印加される電圧を前記試験電圧として前記記憶情報の読み出し試験を行うことが望ましい。キャパシタに印加される電圧のみを変化することによっても試験測定を行うことができる。

【0013】また、上記の強誘電体メモリの試験方法において、前記熱ストレス工程は、記憶情報が書き込まれた状態で加えられる最初の熱工程であることが望ましい。このようにすることにより、試験測定にかかる時間を短縮することができる。また、上記の強誘電体メモリの試験方法において、前記熱ストレス工程は、強誘電体メモリの組立工程であることが望ましい。組立工程に必要なとされる熱工程を熱ストレス工程として用いれば別途熱ストレス工程を設ける必要はないので、強誘電体メモリに与えるストレスを少なくすることができ、また、試験にかかる時間を短縮することができる。

#### 【0014】

##### 【発明の実施の形態】

【第1実施形態】本発明の第1実施形態による強誘電体メモリの試験方法について図1乃至図7を用いて説明する。図1は強誘電体メモリの構造及び動作を説明する回路図、図2は強誘電体のヒステリシス特性を示すグラフ、図3はインプリントによる分極電荷 $Q_{os}$ の変化を示すグラフ、図4は本実施形態による強誘電体メモリの試験方法を説明するフローチャート、図5は分極電荷 $Q_{os}$ の時間依存性を示すグラフ、図6は試験電圧の決定方法の一例を示すグラフ、図7はプレート線に印加される電圧を変化する場合の強誘電体メモリの試験方法を説明する図である。

【0015】始めに、一般的な強誘電体メモリの動作とその特性評価について説明する。代表的な強誘電体メモリは、図1に示すように、一つの転送トランジスタ $T_r$ と、一つの強誘電体キャパシタ $C$ とにより一つのメモリセルが構成される。転送トランジスタのゲートにはワー

ド線が接続され、ソース／ドレインの一方にはビット線が、ソース／ドレインの他方には強誘電体キャパシタCの一方の電極が接続される。強誘電体キャパシタの他方の電極はプレート線に接続される。

【0016】強誘電体メモリに記憶情報”1”を書き込む場合には、強誘電体キャパシタCに印加する電圧をプラスとするために、転送トランジスタTrをONにした状態で、ビット線にプラス電位 ( $V_{cc}$ ) を、プレート線にマイナス電位 (グラウンド) を印加する。図2 (a) に示すa点を通過させた後に印加電圧を零に戻せば、分極値は残留分極点b点となり、記憶情報”1”が書き込まれることとなる。b点における分極値とc点における分極値との差は、一般に分極電荷 $Q_{ss}$ として表される。

【0017】強誘電体メモリに記憶情報”0”を書き込む場合には、強誘電体キャパシタに印加する電圧をマイナスとするために、転送トランジスタをONにした状態で、ビット線にマイナス電位を、プレート線にプラス電位を印加する。図2 (a) に示すc点を通過させた後に印加電圧を零に戻せば、分極値は残留分極点d点となり、記憶情報”0”が書き込まれることとなる。a点における分極値とd点における分極値との差は、一般に分極電荷 $Q_{os}$ として表される。また、b点とd点との電荷量の差は、スイッチング電荷 $Q_{sw}$ と呼ばれている。

【0018】一方、記憶情報の読み出しは、強誘電体キャパシタCに電圧を印加した際にビット線上に現れる電位の変化をセンスアンプにより検出することによって行う。このとき、記憶情報を正確に読み出すために、メモリセルと同型のリファレンスセルが参照される。このときの電位の変化量の違いにより、記憶されていた情報が”1”であったのか”0”であったのかを判定することができる。

【0019】前述のように、強誘電体メモリは不揮発性メモリであることを第1の特徴とするが、強誘電体メモリに蓄積された記憶情報は時間とともに徐々に劣化するものであり、信頼性試験においては強誘電体メモリが補償すべきデータ保持特性を有するかを検査する必要がある。そこで、いわゆるリテンション特性を評価するための判断材料として、所定のストレスを印加した後の分極電荷 $Q_{ss}$ を評価することが行われている。

【0020】一般に、分極電荷 $Q_{ss}$ は、 $Q_{ss}(t) = Q_{ss}(0) - m \times \ln(t/t_0)$ と表され、時間の対数に比例して減少することが知られている。したがって、分極電荷 $Q_{ss}$ を測定することにより、強誘電体メモリが所定のリテンション特性を有しているかを評価することができる。

【0021】また、強誘電体メモリでは、ある情報を長期間保持しておくとき分極方向が固定して反転しにくくなる現象、いわゆるインプリントが生じることがある。インプリントが生じると、図2 (b) に示すようにヒステリシスループがマイナス電位側にシフトし、分極電荷Q

$os$ が劣化することとなる。そこで、いわゆるインプリント特性を評価するための判断材料として、ストレス後に記憶情報を反転したときの分極電荷 $Q_{os}$ を評価することが行われている。分極電荷 $Q_{ss}$ と同様に、分極電荷 $Q_{os}$ についても時間の対数に比例して減少する。したがって、分極電荷 $Q_{os}$ を測定することにより、強誘電体メモリのインプリント特性を評価することができる。

【0022】図3はインプリントによる分極電荷 $Q_{os}$ の劣化を示すグラフである。図示するように、分極電荷 $Q_{os}$ は保持時間の増加とともに低下しており、時間とともに分極特性が劣化していることが判る。かかる観点から、強誘電体メモリの信頼性試験では、まず、記憶情報”1”を書き込み、次いで所定の熱ストレスを加え、その後に情報を読み出し、この読み出しの際に分極電荷 $Q_{ss}$ を測定している (リテンション特性の測定)。更に、この後に反対の記憶情報”0”を書き込み、次いで情報を読み出し、この読み出しの際に分極電荷 $Q_{os}$ を測定している (インプリント特性の測定)。

【0023】本実施形態による強誘電体メモリの試験方法は、基本的な手順は上述した一般的な強誘電体メモリの試験方法と同様であるが、各段階における評価パラメータやデータ処理の過程において種々の相違点がある。すなわち、本実施形態による強誘電体メモリの試験方法は、図4に示すように、強誘電体メモリの最低動作電圧を測定し (ステップS11)、強誘電体メモリに所定の情報を書き込み (ステップS12)、所定の熱ストレスを加え (ステップS13)、書き込まれている情報の反転情報を書き込み (ステップS14)、ステップS12において測定した最低動作電圧に対して所定の範囲内にある所定の電圧により強誘電体メモリの動作試験を行い (ステップS15)、強誘電体メモリが動作するか否かによって良品であるか不良品であるかを検査することによって特徴がある。

【0024】図5は分極電荷 $Q_{os}$ の時間依存性を示したグラフである。図中、4V動作点、5V動作点とあるのは、強誘電体メモリを当該電圧で動作するために必要な分極電荷 $Q_{os}$ を示すものである。また、動作試験とあるのは、製品試験を行う時点を示したものである。また、図中(1)～(3)は、異なる強誘電体メモリにおいて測定した分極電荷 $Q_{os}$ の時間依存性を示したものである。

【0025】図5において、(1)の強誘電体メモリは、製品試験を行う段階において既に5V動作に必要な分極電荷 $Q_{os}$ を有しておらず、不良と判断される。

(2)及び(3)の強誘電体メモリは、製品試験を行う段階において5V動作に必要な分極電荷 $Q_{os}$ を有しており、少なくとも製品試験を行う段階においては正常に動作しうる。したがって、従来の強誘電体メモリの試験方法においては、(2)、(3)の何れもが良品として扱われることになる。

【0026】しかしながら、(3)の強誘電体メモリは、分極電荷 $Q_{OS}$ の初期値が大きいため製品試験を行う段階では5V動作に必要な分極電荷 $Q_{OS}$ を有しているが、記憶情報の消失速度、すなわち分極電荷 $Q_{OS}$ の減少する速度が極めて速いため、信頼性を補償するために必要なデータ保持時間(例えば10年間)を達成することはできない。

【0027】(3)のような特性を有する強誘電体メモリをスクリーニングするためには、製品試験の動作条件を厳しくする、例えば、試験電圧を下げることも考えられるが、その基準によっては(2)の強誘電体メモリまでもがスクリーニングされるため効率的ではない。このような問題を避けるため、本実施形態による強誘電体メモリの試験方法では、熱ストレスを加える前において各強誘電体メモリの最低動作電圧を予め測定しておき、熱ストレスを加える前の最低動作電圧に対して所定の範囲内にある電圧によって強誘電体メモリが動作しうることによって強誘電体メモリの製品試験を行っている。

【0028】例えば、図5に示す例において、(2)の強誘電体メモリの最低動作電圧が5V、(3)の強誘電体メモリの最低動作電圧が4Vであったとし、熱ストレスを加えた後の試験電圧を最低動作電圧と同じにすると、(2)の強誘電体メモリは動作試験時においても最低動作電圧である5Vで動作するため良品と判断されるが、(3)の強誘電体メモリは動作試験時には最低動作電圧である4Vでは動作せず、不良と判断される。したがって、このように製品試験を行うことによって、分極電荷 $Q_{OS}$ の変化が急激な強誘電体メモリについてもスクリーニングすることが可能となる。

【0029】すなわち、本実施形態による強誘電体メモリの試験方法は、熱ストレスを加える前の最低動作電圧と試験電圧とを関連づけることにより、分極電荷 $Q_{OS}$ の変化が急激な強誘電体メモリをスクリーニングするものである。ここで、最低動作電圧の測定、試験電圧の設定は、例えば以下のようにすることができる。

【0030】〔実施例1〕最低動作電圧と試験電圧とを同じ電圧で行う。この場合、最低動作電圧をあまりに細かく測定すると、熱ストレスによる強誘電体固有の劣化成分までもが検知されてしまい、良品と判断されるべきものまで不良となる虞がある。したがって、最低動作電圧の測定ステップは粗めに、例えば1V刻みに設定することが望ましい。

【0031】〔実施例2〕最低動作電圧の測定は測定効率を下げない範囲でなるべく細かく行い、熱ストレス後の試験電圧は(最低動作電圧 $+\alpha$ )の電圧にて行う。例えば、熱ストレス後の試験において、最低動作電圧 $+0.5V$ の電圧で動作測定を行う。なお、 $+\alpha$ の電圧は、加えられた熱ストレスから計算して、必要とされる寿命を補償できる値に設定すればよい。 $+\alpha$ の電圧は測定条件を緩くする方向にシフトするための電圧であり、

絶対値において最低動作電圧より高くなるように設定する。

【0032】例えば、分極電荷 $Q_{OS}$ と時間の対数とは比例関係にあるので、図6に示すように、分極電荷 $Q_{OS}$ の初期値 $Q_{OS0}$ と分極電荷 $Q_{OS1}$ とを結ぶ直線から外挿した直線が、保証期間経過後において記憶情報の読み出しに必要な最低の分極電荷 $Q_{OS2}$ を上回るように、熱ストレス後の試験電圧が分極電荷 $Q_{OS1}$ に相当する電圧となるように設定すればよい。分極電荷 $Q_{OS}$ と最低動作電圧との関係を予め調査しておくことにより、容易に $+\alpha$ の電圧を求めることができる。

【0033】このように試験電圧を設定すれば、データ保持特性の保証期間を満足しうる強誘電体メモリを効率よく選別することができる。

〔実施例3〕熱ストレス後に動作試験を行う代わりに、熱ストレス後の最低動作電圧を測定する。

【0034】熱ストレス前後における最低動作電圧を測定すれば、熱ストレス前後における最低動作電圧の変化分から強誘電体メモリの寿命を見積もることができる。これにより、強誘電体メモリの良否を判断することができる。なお、上述のように、分極電荷 $Q_{OS}$ の変化を利用して強誘電体メモリの寿命を予測するためには、分極電荷 $Q_{OS}$ と最低動作電圧との関係を明らかにする必要がある。しかしながら、キャパシタに印加される電圧を下げると、分極電荷 $Q_{OS}$ と電圧との関係が直線的ではないため、寿命の予測が不正確となる。これを避けるためには、電源電圧が下がってもキャパシタにかかる電圧は常に一定(例えば5V)とし、センスアンプの感度のみを低下させて試験を行うことが望ましい。

【0035】一方、プレート線にかかる電圧を下げてキャパシタにかかる電圧のみを変化することによっても動作試験を行うことができる。プレート線にかかる電圧を下げてキャパシタにかかる電圧を変化すると、分極電荷 $Q_{OS}$ は図7に示すように低下する。したがって、図7に示すように(3)の強誘電体メモリの最低動作電圧が4Vである場合にキャパシタにかかる電圧のみを4Vに変化して動作試験を行えば、分極電荷 $Q_{OS}$ が動作点に達していないので(3)の強誘電体メモリは動作せず、不良と判断することができる。

【0036】このようにしてキャパシタやセンス回路の動作電圧を変化して試験測定するためには、キャパシタにかかる電圧とセンス回路の電圧とを別に設定できるような回路を設け、また、センス回路の駆動電圧と感度との関係を予め測定しておけばよい。このように、本実施形態によれば、熱ストレスを加える前の最低動作電圧と試験電圧とを関連づけることにより、分極電荷 $Q_{OS}$ の変化が急激な強誘電体メモリをスクリーニングするので、強誘電体メモリに過度のストレスを与えることなくデータ保持特性の良否を判断することができる。

【0037】なお、上記実施形態では、インプリント特

10

20

30

40

50

性の評価に主眼をおき、分極電荷 $Q_{OS}$ に基づいて強誘電体メモリの良否を判定する場合について説明したが、分極電荷 $Q_{SS}$ を用いることによって同様に言うことができる。

〔第2実施形態〕本発明の第2実施形態による強誘電体メモリの試験方法について図8乃至図10を用いて説明する。

【0038】図8は本実施形態による強誘電体メモリの試験方法を示すフローチャート、図9は熱ストレス温度を変化した場合の分極電荷 $Q_{OS}$ の時間依存性を示すグラフ、図10は強誘電体メモリの寿命と熱ストレス温度との関係を示すアレニウスプロットである。本実施形態による強誘電体メモリの試験方法は、図8に示すように、ウェーハ製造プロセス（ステップS21）を経たウェーハをウェーハ状態で動作試験を行い最低動作電圧を決定し（ステップS22～S23）、組立工程における熱工程により熱ストレスを加え（ステップS24）、第1実施形態による強誘電体メモリの試験方法と同様にして強誘電体メモリの良否判断を行う（ステップS25～S26）ことに特徴がある。

【0039】前述したように、分極電荷 $Q_{OS}$ は時間の対数に対して直線的に変化する。このため、ストレスの初期に試験を行えば試験に要する時間は短くて済むが、所定のストレスを受けた後に試験を行えばストレスの初期に試験を行う場合と比較して試験時間が指数関数的に長くなる。したがって、強誘電体メモリの製品試験においては、デバイスにかかるストレスの総量を正確に把握しておく必要がある。

【0040】そこで、本実施形態による強誘電体メモリの試験方法では、製品試験の前にキャパシタにデータが書き込まれた状態で熱ストレスがかからないように、強誘電体メモリに最初にデータが書き込まれる動作試験直後の熱工程、すなわち組立工程に必要とされる熱工程の熱ストレスを把握し、この熱工程後における分極電荷 $Q_{OS}$ の劣化から強誘電体メモリの良否判断を行う。

【0041】以下、本実施形態による強誘電体メモリの試験方法について詳述する。まず、ウェーハ製造プロセス（ステップS21）を経たウェーハについて、ウェーハ状態で基本的な動作試験を行うとともに、例えば第1実施形態による強誘電体メモリの試験方法と同様にして強誘電体メモリの最低動作電圧を測定する（ステップS23）。

【0042】次いで、強誘電体メモリに、例えば情報“1”を書き込む（ステップS22）。続いて、ステップS23の動作試験をパスしたチップを組み立てる（ステップS24）。組立工程では、チップをステージに貼り付ける際やプラスチックパッケージに封入する過程で例えば200℃程度の熱工程を経る。このため、動作試験において書き込まれた強誘電体メモリはこの状態のまま熱ストレスを受けることとなる。

【0043】したがって、組立工程において受ける熱ストレスを把握しておけば、組立工程後に別途熱ストレスを加えて動作試験を行う必要はないので、強誘電体メモリに与えるダメージを抑えることができる。また、組立の際の熱工程は、記憶情報を書き込まれた強誘電体メモリが始めて受ける熱ストレスであり、試験時間を短くすることもできる。

【0044】この後、組立工程において熱ストレスを受けた強誘電体メモリにつき、第1実施形態による強誘電体メモリの試験方法と同様にして動作試験を行い、不良品の排除する（ステップS25～S26）。なお、この動作試験は、パッケージに完全に封入された状態で行ってもよいし、組立工程の途中過程において行ってもよい。例えば、組立工程ではまずチップをステージに貼り付けるが、この工程では例えば200℃30分程度の熱処理が行われるので、プラスチックパッケージに封入する前のこの段階で動作試験を行うこともできる。要は、動作試験前の熱ストレスを正確に把握できれば何れの工程の後に行ってもよい。

【0045】また、強誘電体メモリに与える熱ストレスは、例えば以下のように設定することが望ましい。図9は分極電荷 $Q_{OS}$ の時間変化の温度依存性を示したグラフである。ここで、分極電荷 $Q_{OS}$ が零となる時間の対数 $\ln(t(Q_{OS}=0))$ は、温度の逆数に対して指数関数的に変化する。

【0046】すなわち、 $\ln(t(Q_{OS}=0)/1h)$ は、 $\exp(-E_a/kT)$ と比例関係にある。ここで、 $E_a$ は活性化エネルギー、 $k$ はボルツマン定数、 $T$ は温度である。活性化エネルギー $E_a$ は、図10に示すようなアレニウスプロットにより求めることができ、図10の場合には、活性化エネルギー $E_a$ は約0.2eVと求めることができる。

【0047】ここで、 $T_1=55^\circ\text{C}$ 、 $T_2=150^\circ\text{C}$ とし、この温度によるストレスを加えた場合の $t(Q_{OS}=0)$ の値をそれぞれ $t_1$ 、 $t_2$ とすると、 $\ln(t_1/1h)/\ln(t_2/1h)=4.9$ となる。したがって、温度 $T_1$ で補償すべき期間を10年（87600時間）とすると、これに相当する時間は、温度 $T_2$ において10.2時間と求めることができる。したがって、150℃、10hの熱ストレスにより、55℃10年の寿命をもつかどうかの判定ができることとなる。

【0048】しかし、この条件で試験を行ったのでは、デバイスの寿命を使い果たしてしまうため、ストレスをかける時間は多くとも寿命に相当する時間の約20%以下に設定することが望ましい。上記の例でいえば、150℃、2時間以内の熱ストレスが好適である。一方、熱ストレスが少なすぎると、上述した $\ln(t(Q_{OS}=0)/1h)$ と $\exp(-E_a/kT)$ との比例関係がよく成り立たない。このため、上述の例では、少なくと

10

20

30

40

50



も熱ストレスは1時間以上の時間に設定することが望ましい。

【0049】すなわち、150℃においてストレスを加える場合には、1時間以上、2時間以内が適当である。強誘電体メモリの信頼性試験の際に加える熱ストレスは、多くとも寿命に相当する時間の20%以下に設定し、また、 $\ln(t(Q_{OS}=0)/1h)$ と $\exp(-E_a/kT)$ との比例関係がよく成り立つに十分な時間以上に設定することが望ましい。

【0050】このように、本実施形態によれば、組立の際の熱処理工程を利用して熱ストレスによる分極電荷 $Q_{OS}$ の劣化を見積もり、強誘電体メモリの良否判断を行うので、強誘電体メモリに与えるダメージを抑えることができる。また、組立の際の熱工程は、記憶情報を書き込まれた強誘電体メモリが始めて受ける熱ストレスに相当するので、動作試験に要する時間を短くすることもできる。

#### 【0051】

【発明の効果】以上の通り、本発明によれば、強誘電体キャパシタを有する強誘電体メモリの試験方法であって、記憶情報を読み出すために必要な最低動作電圧を測定する最低動作電圧測定工程と、第1の記憶情報を書き込む第1の記憶情報書き込み工程と、第1の記憶情報を書き込んだ状態で所定の熱ストレスを加える熱ストレス工程と、絶対値が前記最低動作電圧以上であって、前記最低動作電圧に対して所定の範囲内にある試験電圧により前記記憶情報の読み出し試験を行う試験工程とにより強誘電体メモリの試験を行うことにより、強誘電体メモリの劣化速度を考慮しつつ信頼性の評価をすることができるので、試験測定の際には依然情報を保持しているが分極電荷の劣化の速度が速いために補償すべきデータ保持時間を満足することができない強誘電体メモリであっても容易にスクリーニングすることができる。

【0052】また、上記の強誘電体メモリの試験方法において、熱ストレス工程の後に、第1の記憶情報とは異なる第2の記憶情報を書き込む第2の記憶情報書き込み工程を更に設け、試験工程では、試験電圧により第2の記憶情報を読み出すこととすれば、インプリントによる強誘電体メモリの劣化をも評価することができる。また、上記の強誘電体メモリの試験方法において、試験工程では、最低動作電圧と等しい試験電圧において読み出し試験を行うことができる。

【0053】また、上記の強誘電体メモリの試験方法において、試験工程では、最低動作電圧に、熱ストレスの条件から計算して必要とされる寿命を補償するために必要な電圧を加味した試験電圧により試験を行うことができる。このように試験電圧を設定すれば、良品を効率よ

く選別することができる。また、上記の強誘電体メモリの試験方法において、試験工程では記憶情報の読み出し試験を行う代わりに熱ストレスを加えた後における記憶情報を読み出すための最低動作電圧を測定し、熱ストレスの前後における最低動作電圧の変化分から記憶情報の保持能力を見積もれば、効率よく良品を選別することができる。

【0054】また、最低動作電圧測定工程では、記憶情報を判定するためのセンス回路の動作に必要なとされる最低電圧を測定することが望ましい。センス回路の動作に必要なとされる電圧のみを変化することによっても試験測定を行うことができる。また、上記の強誘電体メモリの試験方法において、試験工程では、強誘電体キャパシタに印加される電圧を試験電圧として記憶情報の読み出し試験を行うことが望ましい。キャパシタに印加される電圧のみを変化することによっても試験測定を行うことができる。

【0055】また、上記の強誘電体メモリの試験方法において、熱ストレス工程を、記憶情報を書き込まれた状態で加えられる最初の熱工程とすれば、試験測定にかかる時間を短縮することができる。また、上記の強誘電体メモリの試験方法において、熱ストレス工程を、強誘電体メモリの組立工程とすれば別途熱ストレス工程を設ける必要はないので、強誘電体メモリに与えるストレスを少なくすることができ、また、試験にかかる時間を短縮することができる。

#### 【図面の簡単な説明】

【図1】強誘電体メモリの構造及び動作を説明する回路図である。

【図2】強誘電体のヒステリシス特性を示すグラフである。

【図3】インプリントによる分極電荷 $Q_{OS}$ の変化を示すグラフである。

【図4】本発明の第1実施形態による強誘電体メモリの試験方法を説明するフローチャートである。

【図5】分極電荷 $Q_{OS}$ の時間依存性を示すグラフである。

【図6】試験電圧の決定方法の一例を示すグラフである。

【図7】プレート線に印加する電圧を変化する場合の強誘電体メモリの試験方法を説明する図である。

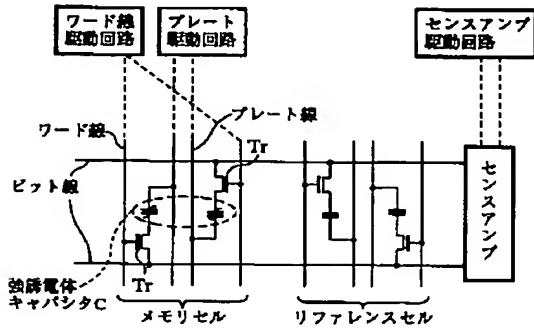
【図8】本発明の第2実施形態による強誘電体メモリの試験方法を説明するフローチャートである。

【図9】熱ストレス温度を変化した場合の分極電荷 $Q_{OS}$ の時間依存性を示すグラフである。

【図10】強誘電体メモリの寿命と熱ストレス温度との関係を示すアレニウスプロットである。

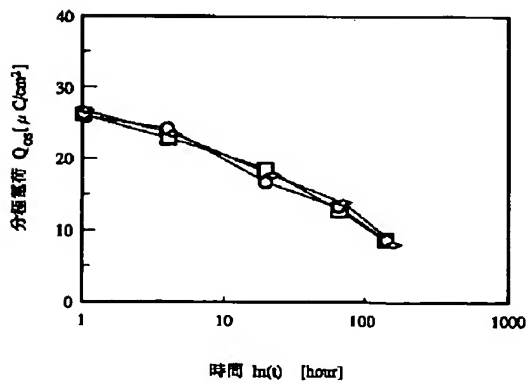
【図1】

強誘電体メモリの構造及び動作を説明する回路図



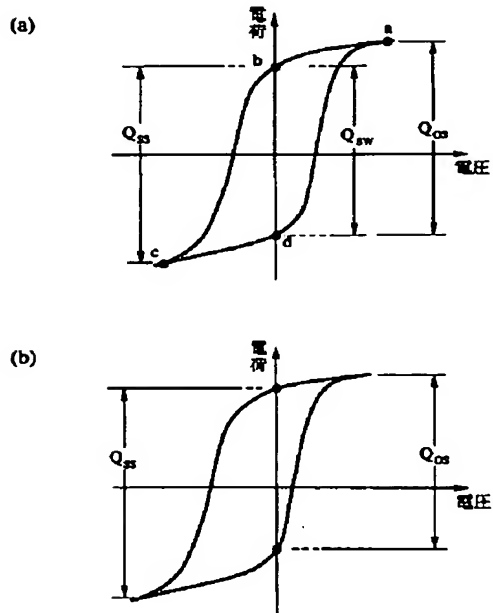
【図3】

インプリントによる分極電荷 $Q_{\infty}$ の変化を示すグラフ



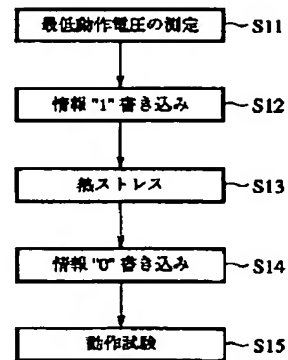
【図2】

強誘電体のヒステリシス特性を示すグラフ

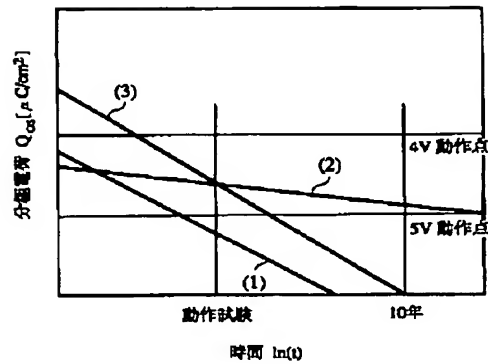


【図4】

本発明の第1実施形態による強誘電体メモリの試験方法を説明するフローチャート

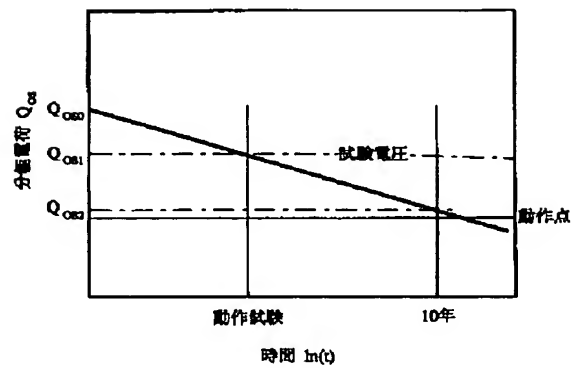


【図5】

分極電荷 $Q_{os}$ の時間依存性を示すグラフ

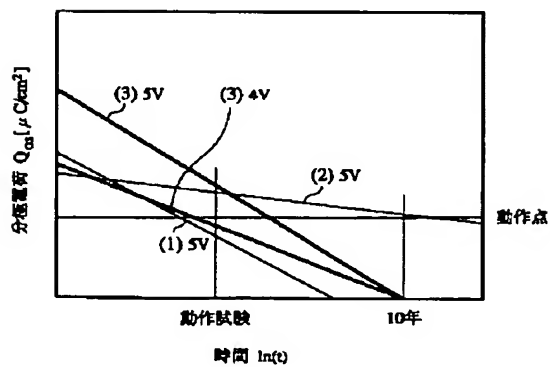
【図6】

試験電圧の決定法の一例を示すグラフ



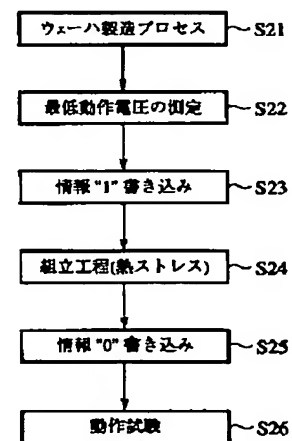
【図7】

プレート線に印加する電圧を変化する場合の強誘電体メモリの試験方法を説明する図



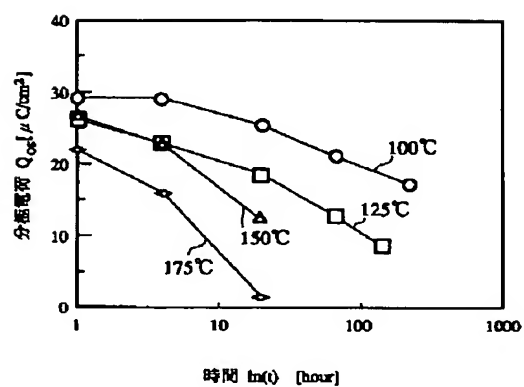
【図8】

本発明の第2実施形態による強誘電体メモリの試験方法を説明するフローチャート



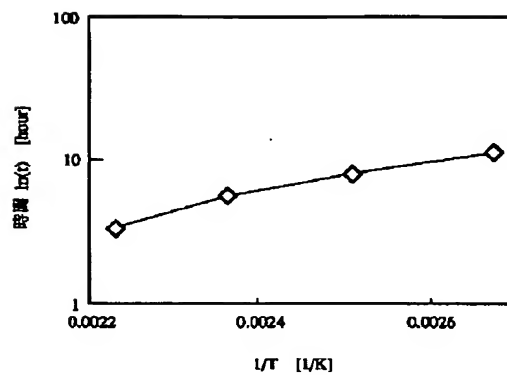
【図9】

熱ストレス温度を変化した場合の分極電荷 $Q_{ss}$ の  
時間依存性を示すグラフ



【図10】

強誘電体メモリの寿命と熱ストレス温度との  
関係を示すアレニウスプロット



フロントページの続き

(51) Int. Cl. 6

G 1 1 C 11/401

H 0 1 L 21/66

27/10

識別記号

4 5 1

F I

G 0 1 R 31/28

G 1 1 C 11/34

B

3 5 2 A

3 7 1 A